

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-196595

(P2001-196595A)

(43) 公開日 平成13年7月19日 (2001.7.19)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード\* (参考)

H 0 1 L 29/786

21/336

G 0 2 F 1/1345

1/1368

G 0 9 F 9/00

3 3 8

C 0 2 F 1/1345

C 0 9 F 9/00

3 3 8

9/30

3 3 8

H 0 1 L 29/78

6 1 2 D

C 0 2 F 1/136

5 0 0

審査請求 有 請求項の数25 O L (全 37 頁) 最終頁に続く

(21) 出願番号 特願2000-308262(P2000-308262)

(22) 出願日 平成12年10月6日 (2000.10.6)

(31) 優先権主張番号 特願平11-304683

(32) 優先日 平成11年10月26日 (1999.10.26)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 田中 宏明

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 山口 弘高

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100080816

弁理士 加藤 朝道

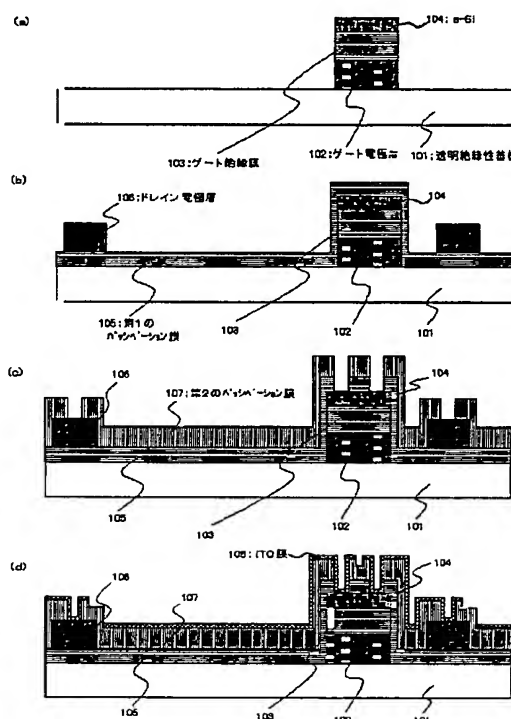
最終頁に続く

(54) 【発明の名称】 アクティブマトリクス基板及びその製造方法

## (57) 【要約】

【課題】ゲート電極、ドレイン電極及び画素電極が互いに絶縁膜によって層間分離されたチャネル保護型のアクティブマトリクス基板を4枚のマスクで形成することができるアクティブマトリクス基板及びその製造方法の提供。

【解決手段】透明絶縁基板上にゲート電極層とゲート絶縁膜と a-Si 層とが、同一形状に加工されて、ゲート電極層102及びTFT領域が形成され、その上層に形成された第1のパッシベーション膜105を介して、ドレイン電極層106が形成され、その上層に形成された第2のパッシベーション膜107には、第1及び第2のパッシベーション膜を貫通する開口と、第2のパッシベーション膜を貫通する開口部とを有し、最上層に配設されるITO膜108によって接続配線層が形成されると共に、画素電極には、ゲート電極と同層に形成された電極層とで第1及び第2のパッシベーション膜を挟みこんだ蓄積容量部が設けられる。



を特徴とする請求項1乃至7のいずれかに記載のアクティブマトリクス基板。

【請求項9】前記第2のパッシベーション膜が、シリコン酸化膜、又は、シリコン酸化膜及び有機層間膜の積層体のいずれかであることを特徴とする請求項8記載のアクティブマトリクス基板。

【請求項10】絶縁性基板上に、ゲート電極層とゲート絶縁膜とアモルファスシリコン半導体層とが、基板の法線方向から見て、略重なるように堆積された積層体を成して、ゲート電極とゲート配線と薄膜トランジスタ領域とが形成され、

前記積層体及び前記ゲート配線を覆うパッシベーション膜を介して、ドレイン配線が形成され、

前記ゲート配線、前記積層体及び前記ドレイン配線の上方における前記パッシベーション膜上にブラックマトリクスが形成され、

前記ブラックマトリクスで囲まれた領域に色層が形成され、

前記パッシベーション膜及び前記ブラックマトリクスを覆う平坦化膜が形成され、

前記パッシベーション膜、前記ブラックマトリクス及び前記平坦化膜を貫通し、前記アモルファスシリコン層に到達するソース／ドレイン開口部と、前記ブラックマトリクス及び前記平坦化膜を貫通し、前記ドレイン配線に到達する開口部とを有し、

前記平坦化膜上に配設される画素電極膜によって、前記ドレイン開口部を介して前記ドレイン配線に接続される配線層が形成されている、ことを特徴とするアクティブマトリクス基板。

【請求項11】前記画素電極膜によって、前記ソース開口部と接続される画素電極が形成され、

前記ゲート配線上における前記パッシベーション膜上に容量電極層が形成され、

前記容量電極膜は、前記ブラックマトリクス及び前記平坦化膜に形成された開口部を介して前記画素電極に接続されている、ことを特徴とする請求項10記載のアクティブマトリクス基板。

【請求項12】前記ゲート電極は、前記ゲート配線から分岐していることを特徴とする請求項1乃至11のいずれかに記載のアクティブマトリクス基板。

【請求項13】前記画素電極膜は、透明電極膜によって形成され、

前記画素電極の一端は、前記ゲート配線の上方まで延在している、ことを特徴とする請求項1乃至12のいずれかに記載のアクティブマトリクス基板。

【請求項14】前記開口により露出したアモルファスシリコン半導体層表面に、リングドーパされた $n^+$ 層が形成され、前記 $n^+$ 層を介して前記ドレイン配線又は前記画素電極が接続されていることを特徴とする請求項1乃至13のいずれかに記載のアクティブマトリクス基

板。

【請求項15】(a) 絶縁性基板上にゲート電極層とゲート絶縁膜と $a-Si$ 層とをこの順に積層し、第1のマスクを用いて、ゲート電極とゲート配線と薄膜トランジスタ領域とを形成する工程と、

(b) 該ゲート電極上に第1のパッシベーション膜とドレイン電極層とを堆積し、第2のマスクを用いて、所定の領域の前記ドレイン電極層を除去することによってドレイン配線を形成する工程と、

(c) 前記ドレイン配線の上層に第2のパッシベーション膜を堆積し、第3のマスクを用いて、前記アモルファスシリコン半導体層上の所定の位置に前記第1及び第2のパッシベーション膜を貫通し、ソース／ドレイン電極と接続するための開口部を設けると共に、前記ドレイン配線上に前記第2のパッシベーション膜を貫通する開口部を形成する工程と、

(d) 前記第2のパッシベーション膜及び開口部上層に透明電極層を堆積し、第4のマスクを用いて、前記ドレイン電極用の開口部に露出したアモルファスシリコン層に接続されるドレイン配線を形成すると共に、前記ソース電極用の開口部に露出したアモルファスシリコン層と前記透明電極層からなる画素電極を接続する工程と、を少なくとも有することを特徴とするアクティブマトリクス基板の製造方法。

【請求項16】(a) 絶縁性基板上にゲート電極層とゲート絶縁膜と $a-Si$ 層とをこの順に積層し、第1のマスクを用いて、ゲート電極とゲート配線と薄膜トランジスタ領域とを形成する工程と、

(b) 該ゲート電極上に第1のパッシベーション膜とドレイン電極層とを堆積し、第2のマスクを用いて、所定の領域の前記ドレイン電極層を除去することによってドレイン配線及び蓄積容量電極を形成する工程と、

(c) 前記ドレイン配線の上層に第2のパッシベーション膜を堆積し、第3のマスクを用いて、前記アモルファスシリコン半導体層上の所定の位置に前記第1及び第2のパッシベーション膜を貫通し、ソース／ドレイン電極と接続するための開口部と、前記ドレイン配線上に前記第2のパッシベーション膜を貫通する開口部と、前記蓄積容量電極と接続するための開口部と、を形成する工程と、

(d) 前記第2のパッシベーション膜及び開口部上層に透明電極層を堆積し、第4のマスクを用いて、前記ドレイン電極用の開口部に露出したアモルファスシリコン層に接続されるドレイン配線と、前記蓄積容量部を接続する配線とを形成すると共に、前記ソース電極用の開口部に露出したアモルファスシリコン層と前記透明電極層からなる画素電極とを接続する工程と、を少なくとも有することを特徴とするアクティブマトリクス基板の製造方法。

【請求項17】(a) 絶縁性基板上にゲート電極層とゲ

## 【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス基板及びその製造方法に関し、特に、ゲート電極、ドレイン電極及び画素電極が層間分離され、かつ、画素電極が最上層に配置されているチャネル保護型アクティブマトリクス基板及びその製造方法に関する。

## 【0002】

【従来の技術】薄膜トランジスタ等のアクティブ素子を用いたアクティブマトリクス型液晶表示装置は、薄型で軽量という特徴を有し、高画質のフラットパネルディスプレイとして利用されている。液晶表示装置は、透明電極を形成した2枚の基板で液晶を挟み込み透明電極間に印加した電圧で液晶を駆動する、縦電界（ツイステッドネマチック：TN）方式、又は、液晶層を相互間で挟持介在させる櫛歯状の画素電極を用いて駆動する横電界方式が用いられるが、いずれの方式においても、低価格化を実現するためにアクティブマトリクス基板の製造工程の簡略化の検討が進められている。また、液晶表示装置においては、画面の高精細化のため開口率を高める必要があるが、そのためには透明電極（ITO:Indium Tin Oxide）層とドレイン層とを層分離して透明電極層を最上層に形成する方法が用いられる。

【0003】ここで、TN方式では、それぞれに透明電極が形成された2枚の基板間に液晶が挟み込まれている。また、横電界方式は、インプレーンスイッチング（IPS）方式ともいい、それぞれに透明電極が形成された2枚の基板間に液晶層を挟み込み、一方の基板に形成した櫛歯状の画素電極・コモン電極間に印加した電圧で液晶を駆動する。

【0004】従来技術のうち、透明電極層を最上層に形成し、工程削減のための簡略化を図った製造方法として、特開平10-68971号公報記載の発明について、図62を参照して説明する。図62は、従来の一例に係るTN方式液晶表示装置用のアクティブマトリクス基板の製造工程を模式的に示した工程断面図である。

【0005】一般にTN方式のアクティブマトリクス基板は、互いに直交する方向に延在するゲート配線及びドレイン配線と、これらの配線で囲まれた領域に形成される画素電極と、ゲート配線とドレイン配線の交差部近傍に形成される薄膜トランジスタ（TFT）とから構成され、TFTの表面には性能を確保するためのチャネル保護膜が形成される。このアクティブマトリクス基板のTFT及び画素電極上には液晶を所定の方向に配列させる配光膜が形成され、カラーフィルタ、共通電極、配光膜等が形成された対向基板との間に液晶が封入され液晶表示装置が形成される（図示せず）。

【0006】このようなアクティブマトリクス基板は、まず、図62（a）に示すように、透明絶縁性基板101上にCr等のゲート電極金属を堆積し、第1のフォトリソマスクを用いてレジストパターンを形成し、露出したC

rをエッチングしてゲート配線とゲート配線から分岐するゲート電極層102を形成する。

【0007】次に、図62（b）に示すように、SiNxからなるゲート絶縁膜103、a-Si膜104、オーミック接触層となるn<sup>+</sup>型a-Si膜109及びCr等のドレイン電極層106を連続して堆積した後、第2のフォトリソマスクを用いて、a-Si層104のチャネル領域の開口及び所定の配線パターンを形成するために不要なドレイン電極層106を選択的にエッチングする。次に、ドレイン電極層106をエッチングマスクとしてn<sup>+</sup>型a-Si膜109をエッチングして、オーミック接触層を形成する。

【0008】続いて、図62（c）に示すように、基板全面にSiNx等の第2のパッシベーション膜107を堆積し、第3のフォトリソマスクを用いて、所定の領域の第2のパッシベーション膜107、a-Si層104及びゲート絶縁膜103を一括してエッチングし、薄膜トランジスタ領域を分離する。

【0009】次に、図62（d）に示すように、第4のフォトリソマスクを用いて、ソース／ドレイン電極領域を露出させるコンタクトホールを開口し、透明絶縁性基板101全面にITO膜108を堆積した後、第5のフォトリソマスクを用いて所定の領域のITO膜108を除去し、ソース電極と接続される画素電極を形成して、アクティブマトリクス基板の製造を終了する。

【0010】ここで、前記ソース／ドレイン電極領域を露出させるコンタクトホールは、パッシベーション膜107に開口される。

【0011】このような従来のアクティブマトリクス基板は、ITO膜108がドレイン電極層106とは同じ層には設けられておらず、第2のパッシベーション膜107にて絶縁分離されている。故に、ITO膜108とドレイン電極層106との絶縁分離のためには、これらをアクティブマトリクス基板の法線方向から見て横方向に離間させる必要がないから、これらを非常に近接させるか、あるいは重ねることができるとして、これらを横方向に離間させたときに、その隙間から漏れる制御されないバックライト光を遮蔽するためのブラックマトリクスを小さくでき、開口率を高くすることができるというメリットがある。よって、ITO膜108とドレイン電極層106とを第2のパッシベーション膜107にて絶縁分離させているのである。

【0012】ここで、ITO膜108とドレイン電極層106とはパッシベーション膜107にて絶縁分離されている。また、この従来のアクティブマトリクス基板の製造方法では、透明電極層を最上層に形成しつつ、5枚のマスキングでアクティブマトリクス基板を製造することができる。

## 【0013】

【発明が解決しようとする課題】上述した公報記載の方

とが、同一形状に加工されて、ゲート電極層（図6の102）及びTFT領域が形成され、その上層に形成された第1のパッシベーション膜（図6の105）を介して、ドレイン電極層（図6の106）が形成され、その上層に形成された第2のパッシベーション膜（図6の107）には、第1及び第2のパッシベーション膜のそれぞれを貫通する開口部と、第2のパッシベーション膜のみを貫通する開口部とを有し、最上層に配設されるITO膜（図6の108）によって接続配線層が形成されると共に、画素電極には、ゲート電極と同層に形成された電極層とで第1及び第2のパッシベーション膜を挟みこんだ蓄積容量部が設けられる。

#### 【0023】

【実施例】上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して以下に説明する。

【0024】【実施例1】まず、図1乃至図9を参照して本発明の第1の実施例に係る縦電界（TN）方式のチャネル保護型アクティブマトリクス基板及びその製造方法について説明する。図1は、本発明の第1の実施例に係るTN方式液晶表示装置用アクティブマトリクス基板の回路図であり、図2乃至図5は、本発明の第1の実施例に係るアクティブマトリクス基板の製造工程を模式的に示した上面図であり、1画素を抜き出したものである。また、図6は、本発明の第1の実施例に係るアクティブマトリクス基板の製造工程を模式的に示した工程断面図であり、図2乃至図5のA-A'線における断面を示したものである。また、図7乃至図9は、それぞれ本発明の第1の実施例に係るアクティブマトリクス基板のゲート端子部、ドレイン端子部、ゲートストレージ部（図2のB-B'線）の製造工程を模式的に示した工程断面図である。

【0025】第1の実施例に係るアクティブマトリクス基板は、液晶をアクティブマトリクス基板に設けた配光膜と対向する基板に設けた配光膜とで駆動する縦電界（ツイストネマティック：TN）方式の液晶表示装置用の基板であり、ゲート電極2、ドレイン電極9及び画素電極11が互いに絶縁膜によって層間分離されたアクティブマトリクス基板であり（図5参照）、薄膜トランジスタを構成するa-Si層104の上面及び側面はチャネル保護膜である第1及び第2のパッシベーション膜105及び107で完全に覆われている（図6（d）参照）。

【0026】ここで、液晶は、アクティブマトリクス基板に設けた配向膜と対向する基板に設けた配向膜との間に挟持されている。

【0027】アクティブマトリクス基板は、図1の回路図に示されるように、透明絶縁性基板101上にお互いに交差する複数のゲートバスライン1と複数のドレインバスライン4、これらが交差する箇所に配置された複数

のトランジスタ部16、及び画素電極11を備えている。さらに、複数のゲートバスライン1とドレインバスライン4の終端は、透明絶縁性基板101の周辺部にそれぞれ配置され、基板外部から駆動信号が供給されるゲート端子部14及びドレイン端子部15がそれぞれ形成されている。さらに、透明絶縁性基板101には、その角部にコモン電位供給端子19が形成されている。このコモン電位供給端子19は、このアクティブマトリクス基板と対向し液晶17を挟持する対向基板に形成されるコモン電極13に電位を供給するためのものである。さらに、各トランジスタ部16と隣接するゲートバスライン1との間にはストレージキャパシタ部18が形成されている。

【0028】すなわち、図5及び図6（d）を参照すると、本実施例のアクティブマトリクス基板は、透明絶縁性基板101上に形成された、ゲート電極層102、ゲート絶縁膜103及びa-Si層104が略重なるように堆積された積層体と、この積層体を覆うように上記透明絶縁性基板101上に形成された第1のパッシベーション膜105と、この第1のパッシベーション膜105上に上記積層体と交差する方向に形成されたドレイン電極層106と、上記ドレイン電極層106を覆うように上記第1のパッシベーション膜105上に形成された第2のパッシベーション膜107と、上記第1及び上記第2のパッシベーション膜105及び107に形成され上記a-Si層104を露出させるソース開口部7及びドレイン開口部6と、上記第2のパッシベーション膜107に形成され上記ドレイン電極層106を露出させるコンタクトホール5と、上記第2のパッシベーション膜107上に形成され上記ドレイン開口部6及び上記コンタクトホール5を介して上記a-Si層104の一端とドレイン電極層106とを電気的に接続する透明電極から構成されるドレイン電極9と、上記第2のパッシベーション膜107上に形成され上記ソース開口部7を介して上記a-Si層104の他端と電気的に接続された透明電極から構成されるソース電極10と、上記第2のパッシベーション膜107上に形成され一端が上記ソース電極10に一体的に接続され、他端が隣接する画素のゲートまで延在する透明電極から構成される画素電極11と、を備えることを特徴としている。

【0029】ここで、ゲート電極層102、ゲート絶縁膜103及びa-Si層104が略重なるように堆積された積層体は、ゲートバスライン1及びゲート電極2に対応する。ドレイン電極層106は、ドレインバスライン4に対応する。

【0030】さらに、本実施例のアクティブマトリクス基板は、図5に示すように、複数のスリット8を備えている。スリット8は、ドレインバスライン4とゲートバスライン1とが交差する箇所のドレインバスライン4の両外側のゲートバスライン1の上方に、一対づつ配置さ

及びストレージキャパシタ部18の構造は、それぞれ図7乃至図9に示す構造となる。なお、図7乃至図9の(a)乃至(d)は、図6の(a)乃至(d)と対応する工程における断面を示したものである。

【0041】ゲート端子部14については、図6(c)に示される工程で、積層体のa-Si層104の表面を露出させたときに、図7(c)に示されるように、a-Si層104が同様に露出する。その後、透明絶縁性基板101全面にITO膜108をスパッタ法等により堆積し、上記第4のマスクを用いて、ゲート端子部14に形成されたITO膜108はウェットエッチングにより除去される。その後、図6(d)に示されるようなITO膜108をマスクとしたドライエッチングを行ったときに、図7(d)に示されるようにゲート端子部14ではa-Si層104とゲート絶縁膜103とがドライエッチングによって除去され、その下のゲート電極層102が露出し、ゲート端子部14が完成する。なお、このドライエッチングの際に、ゲート端子部14の近傍ではITO膜108が存在しないので、第2のパッシベーション膜107もドライエッチングに曝されて膜厚が減少する。

【0042】ドレイン端子部15では、図6(c)に示される工程で、積層体のa-Si層104の表面を露出させたときに、図8(c)に示されるように、ドレイン電極層106が露出する。その後、透明絶縁性基板101全面にITO膜108をスパッタ法等により堆積し、上記第4のマスクを用いて、ドレイン端子部15にはその開口を介してドレイン電極層106に接続されたITO膜108が残される。その後、図6(d)に示されるようなITO膜108をマスクとしたドライエッチングを行ったときに、図8(d)に示されるようにドレイン端子部15の周辺部分ではITO膜108が形成されていない第2のパッシベーション膜107がドライエッチングを受けて膜厚が減少する。このようにして、図8(d)に示されるドレイン端子部15が完成する。

【0043】ストレージキャパシタ部18では、図9(c)に示される工程の後、透明絶縁性基板101全面にITO膜108をスパッタ法等により堆積し、上記第4のマスクを用いて不要なITO膜108をウェットエッチングし、積層体のゲート電極層102の上方に一端が延在する画素電極11が形成される。その後、図6(d)に示されるようなITO膜108をマスクとしたドライエッチングを行ったときに、図9(c)に示されるように隣接する画素電極11間の第2のパッシベーション膜107がドライエッチングに曝されて膜厚が減少する。このようにして、ストレージキャパシタ部18では、ゲート電極層102と蓄積容量電極(容量電極層)となるITO膜108との間に第1及び第2のパッシベーション膜105、107を挟み込んだ構造が形成される。

【0044】このように、本実施例のアクティブマトリクス基板によれば、透明絶縁性基板101上に略重なるように堆積されたゲート電極層102、ゲート絶縁膜103及びa-Si層104の積層体を有し、この積層体を覆うように上記透明絶縁性基板101上に第1のパッシベーション膜105を形成し、この第1のパッシベーション膜105上にドレイン電極層106を形成し、このドレイン電極層106を覆うように上記第1のパッシベーション膜105上に第2のパッシベーション膜107を形成し、上記a-Si層104を露出させるソース開口部7及びドレイン開口部6を上記第1及び上記第2のパッシベーション膜105及び107に形成し、上記第2のパッシベーション膜107上に形成され上記ソース開口部7を介して上記a-Si層104の他端と電気的に接続されたソース電極10を形成し、上記第2のパッシベーション膜107上に形成され一端が上記ソース電極10に一体的に接続された画素電極11を形成している。ゲート電極2、ドレイン電極9及び画素電極11が互いに絶縁膜によって層間分離されると共に、積層体のa-Si層104の表面及び側壁を第1のパッシベーション膜105と第2のパッシベーション膜107とで覆ったアクティブマトリクス基板を形成することができる。したがって、従来のa-Si層の側面へのITO膜との接触を防止することができ、薄膜トランジスタとこの薄膜トランジスタが形成されるアクティブマトリクス基板の長期信頼性を向上させることができる。さらに、液晶表示装置として構成した場合には、従来のa-Si層と液晶材との接触を防止することができる。

【0045】さらに、本実施例のアクティブマトリクス基板の製造方法によれば、ゲート電極102、ゲート絶縁膜103及びa-Si層104の積層体を形成し、第1のパッシベーション膜105でこの積層体を覆い、第1のパッシベーション膜105の上にドレイン電極層106を形成し、このドレイン電極層106と第1のパッシベーション膜105とを覆う第2のパッシベーション膜107を形成し、a-Si層104を露出させるソース/ドレイン開口部7及び6を第1及び第2のパッシベーション膜105及び107に形成し、上記ソース開口部7を介して上記a-Si層104の他端と電気的に接続されたソース電極10を第2のパッシベーション膜107上に形成するとともに、一端が上記ソース電極10に一体的に接続された画素電極11を第2のパッシベーション膜107上に形成している。

【0046】このように、本実施例のアクティブマトリクス基板の製造方法によれば、4枚のマスクのみでゲート電極2、ドレイン電極9及び画素電極11が互いに絶縁膜によって層間分離されると共に、a-Si層104の表面及び側壁を第1のパッシベーション膜105と第2のパッシベーション膜107とで完全に覆ったチャネル保護型アクティブマトリクス基板を形成することがで

101全面に画素電極11となるITO膜108を堆積し、図10(d)に示すように、第4のマスクを用いて、ソース電極10と画素電極11とを、ドレイン電極9とドレインバスライン4とを、それぞれ接続する。

【0060】そして最後に、ITO膜108をマスクとして、a-Si層104とゲート絶縁膜103とをドライエッチングによって除去することによって、図10(d)に示す構造のアクティブマトリクス基板を製造することができる。

【0061】上述したように、本実施例の製造方法によれば、a-Si層104の保護をより確実にすると共に、薄膜トランジスタの段差を小さくすることができる。このように、段差を小さくして基板を平坦化することによって、対向基板との間隔を均一にすることができ、基板間に挟持される液晶の配向状態を均一にすることができるという効果がある。

【0062】また、本実施例のアクティブマトリクス基板によれば、第2のバッシベーション膜107上に基板を平坦化する有機層間膜107aが形成されているので、第1の実施例と比較して、a-Si層104の保護をより確実にすることができる。

【0063】さらに、本実施例の製造方法によれば、第1の実施例と同様に4枚のマスクのみで、ゲート電極2、ドレイン電極9及び画素電極11が互いに絶縁膜によって層間分離されると共に、a-Si層104の表面及び側壁を第1のバッシベーション膜105と第2のバッシベーション膜107と有機層間膜107aで完全に覆ったチャネル保護型アクティブマトリクス基板を形成することができ、従来の製造方法に比べて、少なくとも1PR分工程を簡略化することができる。

【0064】[実施例3] 次に、図11乃至図16を参照して、本発明の第3の実施例に係るアクティブマトリクス基板及びその製造方法について説明する。図11乃至図14は、第3の実施例に係るアクティブマトリクス基板の製造工程を模式的に示した上面図であり、1画素を抜き出したものである。また、図15は、第3の実施例に係るアクティブマトリクス基板の製造工程を模式的に示した工程断面図であり、図11乃至図14のC-C'線における断面を示すものである。また、図16は、第3の実施例に係るアクティブマトリクス基板のゲートストレージ部(図11のD-D')の製造工程を模式的に示した工程断面図である。

【0065】本実施例と前記した第1の実施例との相違点は、本実施例では、ゲートバスライン上の所定の位置に、第1のバッシベーション膜105を介して容量電極層110となる金属を積層し(図12参照)、ストレージキャパシタ部18の容量を大きくするものであり、その他の構造は前記した第1の実施例と同様である。

【0066】図11乃至15を参照して、横電界(TN)方式のアクティブマトリクス基板の製造方法につい

て説明する。まず、ガラス等の透明絶縁性基板101上にCr、Ti、Mo等の下地金属とAl等を積層したゲート電極層102と、SiNx等のゲート絶縁膜103と、半導体層となるa-Si層104と、を順次堆積する。その後、図11及び図15(a)に示すように、第1のマスクを用いて、ゲート電極2及びゲートバスライン1を形成する。

【0067】次に、透明絶縁性基板101全面に、SiNx等の第1のバッシベーション膜105及びドレイン電極層106となるTi、Cr、Mo等の下地金属とAl等の積層膜を順次成膜する。その後、図12及び図15(b)に示すように、第2のマスクを用いて、ドレインバスライン4を形成するが、本実施例では、ストレージキャパシタ部18の蓄積容量電極として、このドレイン電極層106を用い、容量の向上を図ることを特徴としている。

【0068】ここで、ドレインバスライン4を形成するとは、ドレインバスライン4として機能するドレイン電極層106を形成することである。また、本実施例では、このドレイン電極層106を形成するときに、隣接するドレインバスライン4間に位置するゲートバスライン1の上方に容量電極層110を同時に形成している。この容量電極層110はゲート電極層102との間に形成されるストレージキャパシタ部18の蓄積容量電極として機能する。

【0069】次に、透明絶縁性基板101全面にSiO<sub>2</sub>等の第2のバッシベーション膜107を成膜し、図13及び図15(c)に示すように、第3のマスクを用いて、a-Si層104上部のソース開口部7及びドレイン開口部6と、ゲートバスライン1上部のスリット8と、ドレインバスライン4上部のコンタクトホール5と、蓄積容量電極110上部のストレージキャパシタ用開口部12と、を形成する。次に、a-Si層104とのオーミック接続を得るために、PH<sub>3</sub>プラズマ雰囲気中でリンをa-Si層104に拡散させてa-Si層104の表層にn<sup>+</sup>層を形成する。

【0070】その後、透明絶縁性基板101全面に画素電極11となるITO膜108を堆積し、図14及び図15(d)に示すように、第4のマスクを用いて、ソース電極10と画素電極11とを、ドレイン電極9とドレインバスライン4とを、それぞれ接続すると共に、蓄積容量電極の接続配線を形成する。そして、ITO膜108をマスクとして、a-Si層104とゲート絶縁膜103とをエッチング除去し、図15(d)に示す構造のアクティブマトリクス基板を製造することができる。

【0071】ここで、容量電極層110と画素電極11とはストレージキャパシタ用開口部12を介して接続する。また、本実施例においても、このエッチング除去の際にスリット8のa-Si層104とゲート絶縁膜103とがエッチング除去され、a-Si層104がTFT



びコンタクトホール5を介してa-Si層104と画素電極11とを接続し、ドレイン開口部6及びコンタクトホール5を介してa-Si層104とドレインバスライン4とを接続する。

【0087】また、本実施例においても、このエッチングの際にスリット8のa-Si層104とゲート絶縁膜103とがエッチング除去され、a-Si層104がFT毎に分離される。

【0088】このように、本実施例の製造方法によれば、横電界方式の液晶表示装置に用いられるアクティブマトリクス基板も、4枚のマスクのみで製造することができ、従来の製造方法に比べて、少なくとも1PR分工程を簡略化することができる。

【0089】更に、前記した第2の実施例と同様に、第1及び第2のパッシベーション膜の膜厚を厚くしたり、SiO<sub>2</sub>の成膜条件を適宜変更したり、異なる材質の膜を積層した構造にすることによって、平坦化を図ることできる。

【0090】[実施例5]次に、図23乃至図34を参照して本発明の第5の実施例に係る縦電界(TN)方式のチャネル保護型アクティブマトリクス基板及びその製造方法について説明する。図23は、本発明の第5の実施例に係るアクティブマトリクス基板の回路図であり、図24乃至図27は、本発明の第5の実施例に係るアクティブマトリクス基板の製造工程を模式的に示した上面図であり、1画素を抜き出したものである。図28及び図29は、それぞれ本実施例で採用する階段状のフォトリソストを用いたゲートバスライン及びゲート電極のパターン形成方法を説明するための製造工程を模式的に示した工程断面図であり、図24のH-H'線における断面を示したものである。また、図30は、本発明の第5の実施例に係るアクティブマトリクス基板の製造工程を模式的に示した工程断面図であり、図24乃至図27のF-F'線における断面を示したものである。また、図31乃至図33は、それぞれ本発明の第5の実施例に係るアクティブマトリクス基板のゲート端子部、ドレイン端子部、ゲートストレージ部(図24のG-G'線)の製造工程を模式的に示した工程断面図である。図34は、本発明の第5の実施例に係るアクティブマトリクス基板のゲート・ドレイン接続部の構造を模式的に示した断面図である。

【0091】この第5の実施例と前記した第1の実施例との相違点は、ゲートバスライン1とゲートバスライン1から分岐するゲート電極2の近傍の断面形状を異ならせたことと、このようなお互いに異なる断面形状に製造するための製造方法を採用していることにある。さらに、本実施例のアクティブマトリクス基板では、ゲート端子部14及びドレイン端子部15に保護素子部22を備えていることにある。その他の構造、材料、膜厚、製法等は前記した第1の実施例と同様である。

【0092】本実施例のアクティブマトリクス基板は、第1の実施例の回路図である図1と同様な構成に加えて、図23の回路図に示すように、ゲートバスライン1及びドレインバスライン4とそれぞれ平行に形成され透明絶縁性基板101の周辺部に配置された保護バスライン(コモンバスライン)23と、この保護バスライン23と各ゲート端子部14及び各ドレイン端子部15との間に形成された保護素子部22と、保護バスライン23に電位を与える保護端子部(コモン電位供給端子)24を備えている。保護素子部22は、ダイオード接続した一対のトランジスタで構成されており、各ゲート端子部14及び各ドレイン端子部15と保護バスライン23との間にそれぞれダイオードの順方向及び逆方向に接続されている。この保護素子部22のトランジスタは、表示領域のトランジスタ部16の製造工程で同時に形成される。

【0093】すなわち、本実施例のアクティブマトリクス基板は、透明絶縁性基板101上に形成された、ゲート電極層102、ゲート絶縁膜103及びa-Si層104が略重なるように堆積された積層体と、この積層体を覆うように上記透明絶縁性基板101上に形成された第1のパッシベーション膜105と、この第1のパッシベーション膜105上に上記積層体と交差する方向に形成されたドレイン電極層106と、上記ドレイン電極層106を覆うように上記第1のパッシベーション膜105上に形成された第2のパッシベーション膜107と、上記第1及び上記第2のパッシベーション膜105及び107に形成され上記a-Si層104を露出させるソース開口部7及びドレイン開口部6と、上記第2のパッシベーション膜107に形成され上記ドレイン電極層106を露出させるコンタクトホール5と、上記ゲート配線層102を露出させるコンタクトホールと、上記第2のパッシベーション膜107上に形成され上記ドレイン開口部6及び上記コンタクトホール5を介して上記a-Si層104の一端とドレイン電極層106とを電氣的に接続するITO膜から構成されるドレイン電極9と、上記第2のパッシベーション膜107上に形成され上記ソース開口部7を介して上記a-Si層104の他端と電氣的に接続されたITO膜から構成されるソース電極10と、上記第2のパッシベーション膜107上に形成され一端が上記ソース電極10に一体的に接続され、他端が隣接する画素のゲートまで延在するITO膜108から構成される画素電極11とを備えることを特徴としている。

【0094】ここで、ゲート電極層102、ゲート絶縁膜103及びa-Si層104が略重なるように堆積された積層体は、ゲートバスライン1及びゲート電極2に対応する。ドレイン電極層106は、ドレインバスライン4に対応する。

【0095】本実施例のアクティブマトリクス基板で

等により堆積し、上記第4のマスクを用いて、ゲート端子部14にはその開口を介してゲート電極層102に接続されたITO膜108が残される。このようにして、図31(d)に示されるドレイン端子部15が完成する。

【0106】さらに、ドレイン端子部15では、図30(c)に示される工程で、第1及び第2のパッシベーション膜105及び107がエッチングされ、積層体のa-Si層104の表面を露出させたときに、図32(c)に示されるように、第2のパッシベーション膜107がエッチングされてドレイン電極層106が露出する。その後、透明絶縁性基板101全面にITO膜108をスパッタ法等により堆積し、上記第4のマスクを用いて、ドレイン端子部15にはその開口を介してドレイン電極層106に接続されたITO膜108が残される。このようにして、図32(d)に示されるドレイン端子部15が完成する。

【0107】ストレージキャパシタ部18では、図33(c)に示される工程の後、透明絶縁性基板101全面にITO膜108をスパッタ法等により堆積し、上記第4のマスクを用いて不要なITO膜108をウェットエッチングし、ゲートバスライン1の上方に一端が延在する画素電極11が形成される。このようにして、ストレージキャパシタ部18では、ゲート電極層102と蓄積容量電極となるITO膜108との間に第1及び第2のパッシベーション膜105及び107を挟み込んだ構造が形成される。本実施例のストレージキャパシタ部18において、ゲートバスライン1には、図9(d)に示される第1の実施例のようにa-Si層及びゲート絶縁膜が存在しないので、画素電極11をゲート電極層102との間隔を狭くしながら対向させている。

【0108】さらに、本実施例の方法で製造した場合、図23の回路図に示される回路接点A、B及びCの部分の構造は、図34に示す構造となる。ゲートバスライン1と平行に形成されている保護バスライン23は、ゲートバスライン1と同時に同層、すなわちゲート電極層102と同時に同層で透明絶縁性基板101上に形成され、ドレインバスライン4と平行に形成されている保護バスライン23は、ドレインバスライン4と同時に同層、すなわちドレイン電極層106と同時に同層で第1のパッシベーション膜105上に形成される。これら保護バスライン23は回路接点Aで共通接続されて、保護端子部24に接続される。このとき、各保護バスライン23はお互いに異なる層に形成されているので、これらを接続する構成を設けている。ゲートバスライン1と平行に形成されている保護バスライン23は開口部を除いて第1及び第2のパッシベーション膜105及び107で覆われており、ドレインバスライン4と平行に形成されている保護バスライン23は開口部を除いて第2のパッシベーション膜107で覆われており、第2のパッシ

ベーション膜107上に形成したITO膜108でこれら開口部を介してこれら保護バスライン23は接続される。回路接点Bや回路接点Cにおいても、ITO膜108で接続する同様な構成が採用される。このように、アクティブマトリクス基板の中で、ゲート電極層102と同層の配線とドレイン電極層106と同層の配線とを接続する箇所は、図34に示すようなITO膜108を介して接続する構造が採用される。

【0109】このように、本実施例のアクティブマトリクス基板によれば、上述した実施例と同様に、ゲート電極2、ドレイン電極9及び画素電極11が互いに絶縁膜によって層間分離されると共に、積層体のa-Si層104の表面及び側壁を第1のパッシベーション膜105と第2のパッシベーション膜107とで覆ったアクティブマトリクス基板を形成することができる。したがって、従来のa-Si層の側面へのITO膜との接触を防止することができ、薄膜トランジスタとこの薄膜トランジスタが形成されるアクティブマトリクス基板の長期信頼性を向上させることができる。

【0110】また、本実施例では、ゲートバスライン1として機能するゲート電極層102上は第1及び第2のパッシベーション膜105及び107が覆っており、第1乃至第4の実施例のようにa-Si層及びゲート絶縁膜が存在していない。よって、第2のパッシベーション膜107上に形成されゲートバスライン1上に延在してストレージキャパシタ部18の蓄積容量を大きくすることができる。

【0111】さらに、本実施例のアクティブマトリクス基板の製造方法によれば、第1の実施例と同様に、4枚のマスクのみでゲート電極2、ドレイン電極9及び画素電極11が互いに絶縁膜によって層間分離されると共に、a-Si層104の表面及び側壁を第1のパッシベーション膜105と第2のパッシベーション膜107とで完全に覆ったチャネル保護型アクティブマトリクス基板を形成することができ、従来の製造方法に比べて、少なくとも1PR分工程を簡略化することができる。すなわち、第1のマスクで階段状のフォトリソ膜111を形成することにより、第1の実施例と同じ枚数のマスクで実現している。

【0112】加えて、本実施例では、ドレイン端子部15だけでなく、ゲート端子部14にも同一工程でITO膜108を形成することができる。これにより、図34に示すように、異なる配線層同士をITO膜108での接続も実現できる。これにより、各ゲート端子部14及び各ドレイン端子部15への保護素子部22の接続も同時に実現できる。

【0113】[実施例6]次に、図35乃至図40を参照して、本発明の第6の実施例に係るアクティブマトリクス基板及びその製造方法について説明する。図35乃至図38は、本発明の第6の実施例に係るアクティブマ



できる。すなわち、第5の実施例と同様に、図31に示す製造工程のようにしてゲート端子部14を形成することができ、図32に示す製造工程のようにしてドレイン端子部15を形成することができる。これにより、図34に示すように、異なる配線層同士をITO膜108での接続も実現できる。これにより、各ゲート端子部14及び各ドレイン端子部15への保護素子部22の接続も同時に実現できる。

【0123】更に、前記した第2の実施例と同様に、第1又は第2のパッシベーション膜の膜厚を厚くしたり、有機層間膜を形成したり、 $\text{SiO}_2$ の成膜条件を適宜変更したり、異なる膜質の膜を積層した構造にすることによって、平坦化を図ることもできる。

【0124】【実施例7】次に、図41乃至図55を参照して、本発明の第7の実施例に係るアクティブマトリクス基板及びその製造方法について説明する。図41乃至図46は、本発明の第7の実施例に係るアクティブマトリクス基板の製造工程を模式的に示した上面図であり、1画素を抜き出したものである。また、図47及び図48は、本発明の第7の実施例に係るアクティブマトリクス基板の製造工程を模式的に示した工程断面図であり、図41乃至図46のK-K'線における断面を示すものである。また、図49及び図50はゲート端子部、図51及び図52はドレイン端子部、図53及び図54はゲートストレージキャパシタ部（図41のL-L'線）の製造工程を模式的に示した工程断面図である。図55は、本発明の第7の実施例に係るアクティブマトリクス基板のゲート・ドレイン接続部の構造を模式的に示した断面図である。

【0125】本実施例のアクティブマトリクス基板では、カラーフィルタ層とブラックマトリクスがさらに形成された構造となっている。前記した第1乃至7の実施例に係るアクティブマトリクス基板では、TN方式とIPS方式の違いはあるものの、カラー液晶表示装置を実現するためのカラーフィルタ層は、対向して液晶を挟持する対向基板側に形成されるものである。これに対し、本実施例では、いわゆるCOT (Color filter on TFT) 構造のアクティブマトリクス基板に本発明を適用した場合を説明する。

【0126】図41乃至図48を参照して、このCOT構造のTN方式のアクティブマトリクス基板の製造方法について説明する。まず、ガラス等の透明絶縁性基板101上にCr、Ti、Mo等の下地金属とAl等を積層したゲート電極層102と、 $\text{SiNx}$ 等のゲート絶縁膜103と、半導体層となるa-Si層104と、を順次堆積する。

【0127】次に、第5の実施例と同様に図28及び図29に示される製造工程により、第1のマスクを用いて、図41及び図47(a)に示されるようにゲートバスライン1及びこのゲートバスライン1から分岐するゲ

ート電極2を形成する。ここで、ゲートバスライン1として機能するゲート電極層102の上からは、a-Si層104及びゲート絶縁膜103が除去されており、ゲート電極2として機能するゲート電極層102の上にはゲート絶縁膜103及びa-Si層104が残されており、ここには積層体が形成されている。

【0128】次に、透明絶縁性基板101全面に、 $\text{SiNx}$ 等の第1のパッシベーション膜105及びドレイン電極層106となるTi、Cr、Mo等の下地金属とAl等との積層膜を順次成膜する。その後、図42及び図47(b)に示すように、第2のマスクを用いて、ドレインバスライン4として機能するドレイン電極層106を形成する。

【0129】次に、隣接するゲートバスライン1及び隣接するドレインバスライン4で囲まれた画素領域にそれぞれカラーフィルタ層112を形成する。

【0130】赤色層20Rを形成する。次に、緑色層20Gを形成する。次に、青色層20Bを形成する。その後、ブラックマトリクスを形成する。色層形成にはマスクを4枚使用する。

【0131】次に、透明絶縁性基板101全面に、色層112及びブラックマトリクス113を覆う平坦化膜114を形成する。この平坦化膜114としては、例えば、アクリル樹脂、BCB (ベンゾシクロブテン) やポリイミド等の有機材料を用い、これらの有機材料を堆積することによって、図48(a)に示すように、基板を平坦化することができる。

【0132】次に、図45及び図48(a)に示すように、第3のマスクを用いて、a-Si層104上部のソース開口部7及びドレイン開口部6と、ドレインバスライン4上部のコンタクトホール5と、を形成する。このとき、ソース開口部7及びドレイン開口部6は、平坦化膜114、ブラックマトリクス113及びパッシベーション膜105を貫通して形成される。ドレインバスライン4のコンタクトホール5は、平坦化膜114及びパッシベーション膜105を貫通して形成される。次に、a-Si層104とのオーミック接続を得るために、 $\text{PH}_3$ プラズマ雰囲気中でリンをa-Si層104に拡散させてa-Si層104表層にn+層を形成する。

【0133】その後、透明絶縁性基板101全面に画素電極11となるITO膜108を堆積し、図46及び図48(b)に示すように、第4のマスクを用いて、ソース電極10と画素電極11、ドレイン電極9とドレインバスライン4を接続する。このようにして、図39(b)に示す構COT構造のアクティブマトリクス基板を製造することができる。

【0134】本実施例の方法で製造した場合、ゲート端子部14、ドレイン端子部15及びストレージキャパシタ部18の構造は、それぞれ図49及び図50、図51及び図52、及び図53及び図54に示す構造となる。

例の構造のアクティブマトリクス基板を製造することができる。

【0145】本実施例の方法で製造した場合のストレージキャパシタ部は、ゲートバスライン及びゲート電極を形成する工程で、ゲートバスラインとして機能するゲート電極層上の $a-Si$ 層及びゲート絶縁膜を除去している。次に、このようなゲート電極層上にパッシベーション膜を堆積させ、ドレイン電極層を形成する工程で、ストレージキャパシタ部の領域に容量電極層を残している。こうして、ゲート電極層と容量電極層との間には、 $a-Si$ 層及びゲート絶縁膜を介さずに、パッシベーション膜105のみが挟み込まれた構造となり、第7の実施例と比較して対向する電極間の距離が短縮され、前記した第7の実施例よりも蓄積容量を大きくすることができる。

【0146】このように、本実施例のアクティブマトリクス基板の製造方法によれば、前記した実施例と同様に4枚のマスクのみでゲート電極層、ドレイン電極層及び画素電極が層間分離され、ITO膜が最上層に配置されたチャネル保護型アクティブマトリクス基板を形成することができ、従来の製造方法に比べて、少なくとも1PR分工程を簡略化することができる。しかも、容量電極層はドレイン電極層の形成工程で同時に形成し、容量電極層と画素電極とを接続するストレージキャパシタ用開口部はソース／ドレイン開口部の形成工程で同時に形成しているので、マスクパターンを変更するだけでマスクの数を増やすことなく、ストレージキャパシタ部での蓄積容量を第5の実施例と比較して増加させることができる。

【0147】また、本実施例においても、第5の実施例と同様に、ドレイン端子部だけでなく、ゲート端子部にも同一工程でITO膜を形成することができる。すなわち、第5の実施例と同様に、図31に示す製造工程のようにしてゲート端子部を形成することができ、図32に示す製造工程のようにしてドレイン端子部を形成することができる。これにより、図34に示すように、異なる配線層同士をITO膜での接続も実現できる。これにより、各ゲート端子部及び各ドレイン端子部への保護素子部の接続も同時に実現できる。

【0148】〔実施例9〕次に、図56乃至図61を参照して、本発明の第9の実施例に係るチャネル保護型アクティブマトリクス基板及びその製造方法について説明する。図56は、本発明の第9の実施例に係る液晶表示装置用アクティブマトリクス基板の回路図である。図57乃至図60は、本発明の第9の実施例に係るアクティブマトリクス基板の製造工程を模式的に示した上面図であり、1画素を抜き出したものである。また、図61は、本発明の第9の実施例に係るアクティブマトリクス基板の製造工程を模式的に示した工程断面図であり、図57乃至図60のM-M'線における断面を示すもので

ある。

【0149】本実施例と前記した第5の実施例との相違点は、本実施例では、櫛歯状に形成された共通電極と画素電極との間の電界で液晶の配向を制御する横電界方式のアクティブマトリクス基板に本発明の製造方法を適用したものであり、基本的な製造方法は前記した第5の実施例と同様である。

【0150】本実施例のアクティブマトリクス基板は、第4の実施例の回路図である図11と同様な構成に加えて、図56の回路図に示すように、ゲートバスライン1及びドレインバスライン4とそれぞれ平行に形成され透明絶縁性基板101の周辺部に配置された保護バスライン(共通バスライン)23と、この保護バスライン23と各ゲート端子部14及び各ドレイン端子部15との間に形成された保護素子部22を備えている。この保護バスライン23は共通電極13とともに図示しない共通電位供給端子(保護端子部)に接続される。保護素子部22は、ダイオード接続した一対のトランジスタで構成されており、各ゲート端子部14及び各ドレイン端子部15と保護バスライン23との間にそれぞれダイオードの順方向及び逆方向に接続されている。この保護素子部22のトランジスタは、表示領域のトランジスタ部16の製造工程で同時に形成される。

【0151】図57乃至図61を参照して、横電界方式のアクティブマトリクス基板の製造方法について説明する。まず、ガラス等の透明絶縁性基板101上にCr、Ti、Mo等の下地金属とAl等を積層したゲート電極層102と、 $SiNx$ 等のゲート絶縁膜103と、半導体層となる $a-Si$ 層104と、を順次堆積する。

【0152】次に、本実施例では、第1のマスクを用いて、断面が階段状のフォトリソ膜を形成する。ここでは、ゲートバスライン1として機能するゲート電極層102の領域の上方は薄く、ゲート電極2として機能するゲート電極層102の領域の上方は厚く、断面形状が階段状になるように、さらに共通電極13となるゲート電極層102の領域の上方は薄く、フォトリソ膜を $a-Si$ 層104上に形成する。このような断面が階段状のフォトリソ膜は、第5の実施例と同様に、ハーフトーン露光法により形成することができる。

【0153】次に、フォトリソ膜で覆われていない領域のゲート電極層102、ゲート絶縁膜103及び $a-Si$ 層104をドライエッチングにより除去する。次に、この透明絶縁性基板101を $O_2$ プラズマ処理することによりフォトリソ膜の膜厚を減少させて、ゲートバスライン1として機能するゲート電極層102及び共通電極13として機能するゲート電極層102のそれぞれの領域の上方の薄いフォトリソ膜を除去し、 $a-Si$ 層104を露出させる。さらに、残されているフォトリソ膜をマスクに、 $a-Si$ 層104及びゲート絶縁膜103をドライエッチングにより除去し、複

【0164】また、本発明の製造方法によれば、4枚のマスクのみでゲート電極、ドレイン電極及び画素電極が互いに絶縁膜によって層間分離されると共に、a-Si層を完全にチャネル保護膜で覆ったチャネル保護型アクティブマトリクス基板を製造することができ、アクティブマトリクス基板の低価格化を実現することができるという効果を奏する。

【0165】その理由は、ゲート電極層、ゲート絶縁膜及びa-Si層を連続して製膜し、同一のマスクを用いて一括してエッチングすると共に、画素電極膜をマスクとして、a-Si層とゲート絶縁膜とをエッチングしているために、工程を削減すると共にa-Si層を第1及び第2のパッシベーション膜で完全に覆うことができるからである。

【0166】さらに、本発明の製造方法によれば、第2のパッシベーション膜をSiO<sub>2</sub>のような無機絶縁膜とアクリル樹脂のような有機絶縁膜との積層構造とすることにより、薄膜トランジスタ部の段差を小さくすることもでき、これによって対向基板との間に矜持される液晶の配向状態を均一にそろえることができるという効果もある。また、本発明によれば、縦電界方式のアクティブマトリクス基板だけではなく、横電界方式のアクティブマトリクス基板も製造できる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例に係るTN方式液晶表示装置用アクティブマトリクス基板の回路図である。

【図2】本発明の第1の実施例に係るアクティブマトリクス基板の製造工程を模式的に示した第1の上面図である。

【図3】本発明の第1の実施例に係るアクティブマトリクス基板の製造工程を模式的に示した第2の上面図である。

【図4】本発明の第1の実施例に係るアクティブマトリクス基板の製造工程を模式的に示した第3の上面図である。

【図5】本発明の第1の実施例に係るアクティブマトリクス基板の製造工程を模式的に示した第4の上面図である。

【図6】本発明の第1の実施例に係るアクティブマトリクス基板の製造工程を模式的に示した工程断面図（A-A'間）である。

【図7】本発明の第1の実施例に係るアクティブマトリクス基板のゲート端子部の製造工程を模式的に示した工程断面図である。

【図8】本発明の第1の実施例に係るアクティブマトリクス基板のドレイン端子部の製造工程を模式的に示した工程断面図である。

【図9】本発明の第1の実施例に係るアクティブマトリクス基板のストレージキャパシタ部の製造工程を模式的に示した工程断面図（B-B'間）である。

【図10】本発明の第2の実施例に係るアクティブマトリクス基板の製造工程を模式的に示した工程断面図（A-A'間に相当）である。

【図11】本発明の第3の実施例に係るアクティブマトリクス基板の製造工程を模式的に示した第1の上面図である。

【図12】本発明の第3の実施例に係るアクティブマトリクス基板の製造工程を模式的に示した第2の上面図である。

【図13】本発明の第3の実施例に係るアクティブマトリクス基板の製造工程を模式的に示した第3の上面図である。

【図14】本発明の第3の実施例に係るアクティブマトリクス基板の製造工程を模式的に示した第4の上面図である。

【図15】本発明の第3の実施例に係るアクティブマトリクス基板の製造工程を模式的に示した工程断面図（C-C'間）である。

【図16】本発明の第3の実施例に係るアクティブマトリクス基板のストレージキャパシタ部の製造工程を模式的に示した工程断面図（D-D'間）である。

【図17】本発明の第4の実施例に係るTN方式液晶表示装置用アクティブマトリクス基板の回路図である。

【図18】本発明の第4の実施例に係るアクティブマトリクス基板の製造工程を模式的に示した第1の上面図である。

【図19】本発明の第4の実施例に係るアクティブマトリクス基板の製造工程を模式的に示した第2の上面図である。

【図20】本発明の第4の実施例に係るアクティブマトリクス基板の製造工程を模式的に示した第3の上面図である。

【図21】本発明の第4の実施例に係るアクティブマトリクス基板の製造工程を模式的に示した第4の上面図である。

【図22】本発明の第4の実施例に係るアクティブマトリクス基板の製造工程を模式的に示した工程断面図（E-E'間）である。

【図23】本発明の第5の実施例に係るTN方式液晶表示装置用アクティブマトリクス基板の回路図である。

【図24】本発明の第5の実施例に係るアクティブマトリクス基板の製造工程を模式的に示した第1の上面図である。

【図25】本発明の第5の実施例に係るアクティブマトリクス基板の製造工程を模式的に示した第2の上面図である。

【図26】本発明の第5の実施例に係るアクティブマトリクス基板の製造工程を模式的に示した第3の上面図である。

【図27】本発明の第5の実施例に係るアクティブマトリクス基板の製造工程を模式的に示した第4の上面図である。

リクス基板の製造工程を模式的に示した第4の上面図である。

【図61】本発明の第9の実施例に係るアクティブマトリクス基板の製造工程を模式的に示した工程断面図（M-M'間）である。

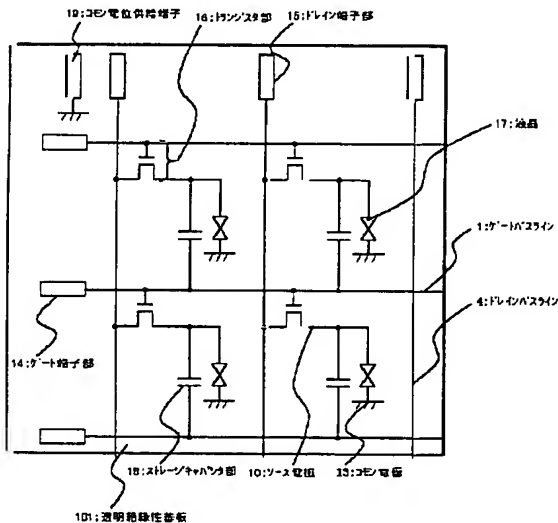
【図62】従来の一例に係るアクティブマトリクス基板の製造工程を模式的に示した工程断面図である。

【符号の説明】

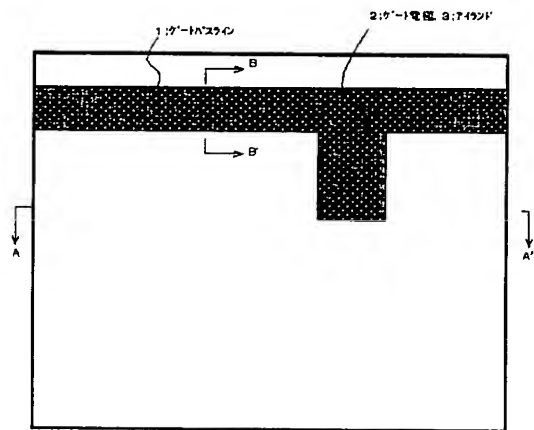
- 1 ゲートバスライン
- 2 ゲート電極
- 3 アイランド
- 4 ドレインバスライン
- 5 コンタクトホール
- 6 ドレイン開口部
- 7 ソース開口部
- 8 スリット
- 9 ドレイン電極
- 10 ソース電極
- 11 画素電極
- 12 ストレージキャパシタ用開口部
- 13 コモン電極
- 14 ゲート端子部
- 15 ドレイン端子部
- 16 トランジスタ部

- 17 液晶
- 18 ストレージキャパシタ部
- 19 コモン電位供給端子
- 20 カラーフィルタ層（色層）
- 21 ブラックマトリックス
- 22 保護素子部
- 23 保護バスライン（コモンバスライン）
- 24 保護端子部（コモン電位供給端子）
- 101 透明絶縁性基板
- 102 ゲート電極層
- 103 ゲート絶縁膜
- 104 a-Si層
- 105 第1のパッシベーション膜
- 106 ドレイン電極層
- 107 第2のパッシベーション膜
- 107a 有機層間膜
- 108 ITO膜
- 109 n<sup>+</sup>型a-Si膜
- 110 容量電極層（蓄積容量電極）
- 111 フォトリソレジスト層
- 112 カラーフィルタ層（色層）
- 113 ブラックマトリックス
- 114 平坦化膜

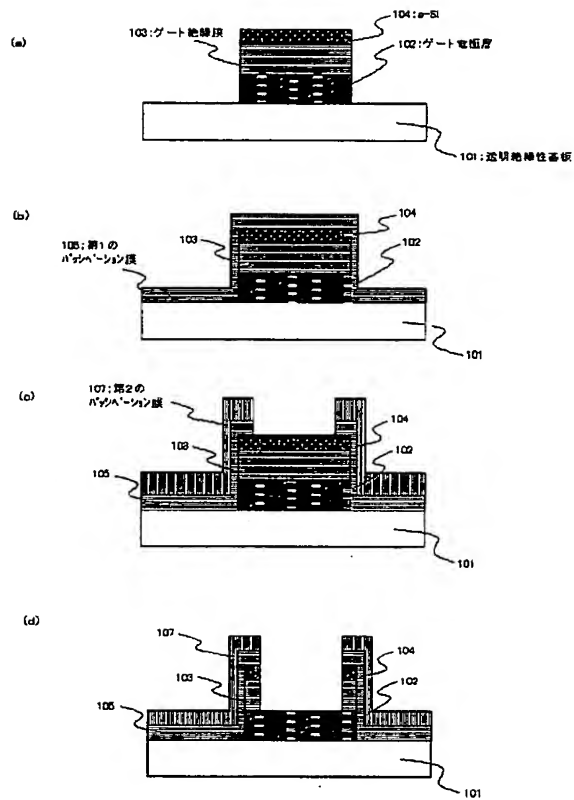
【図1】



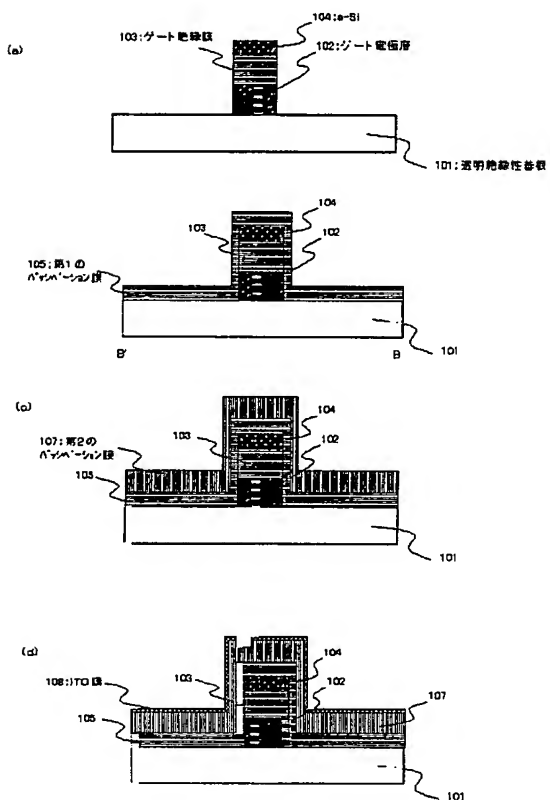
【図2】



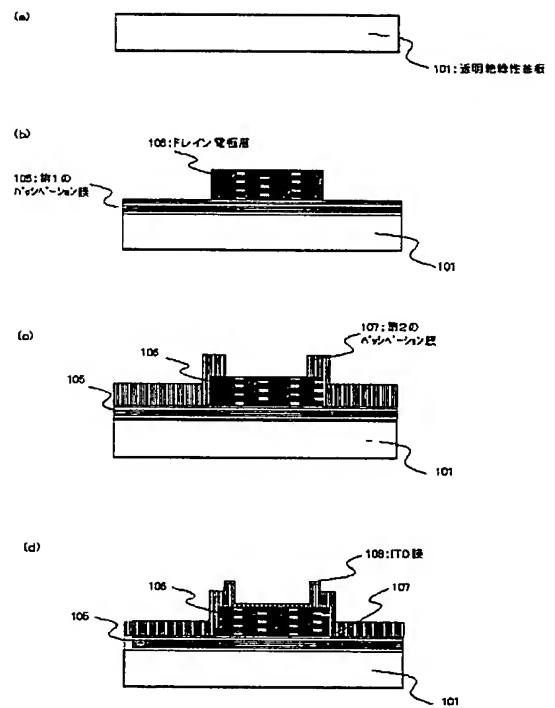
【図7】



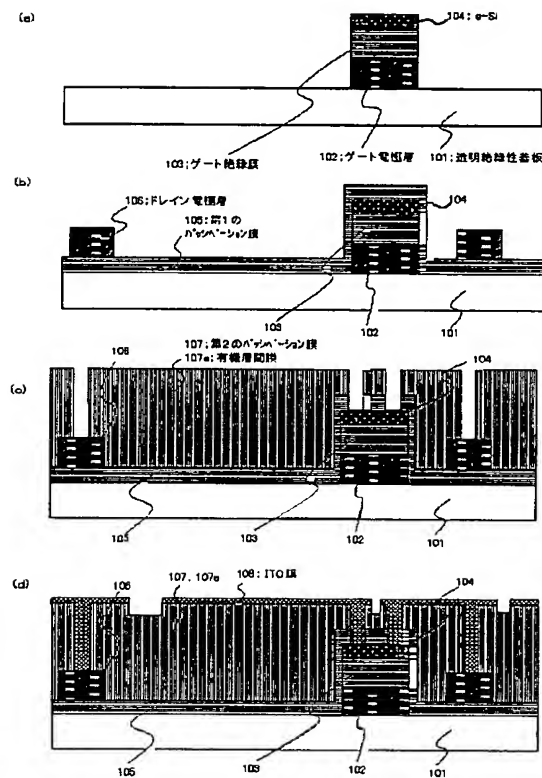
【図9】



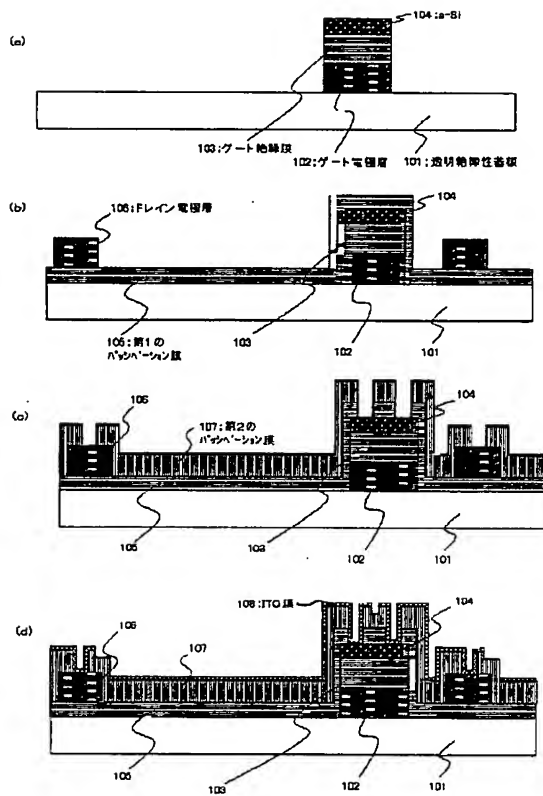
【図8】



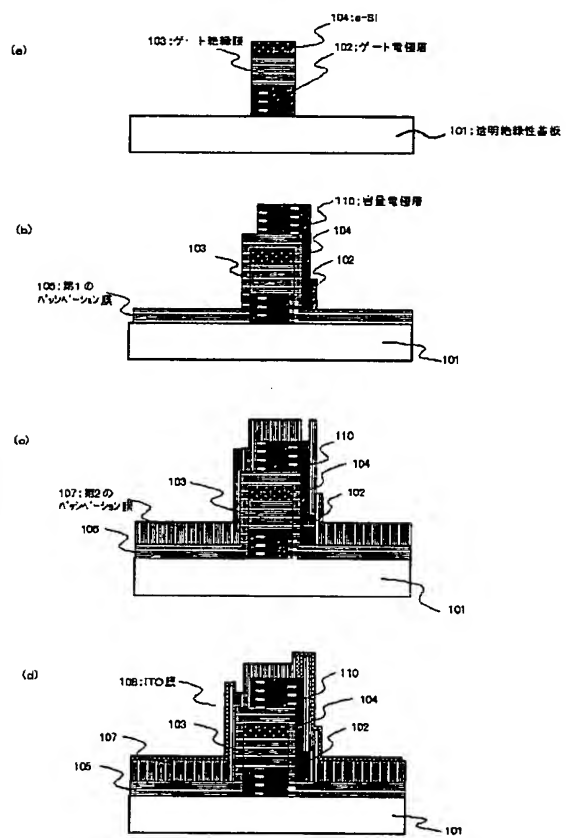
【図10】



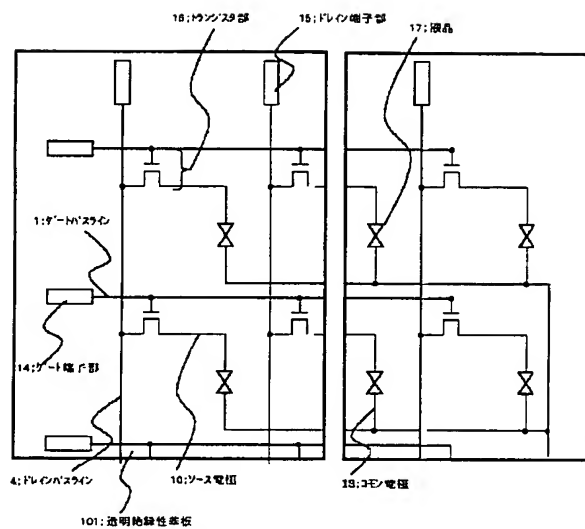
【図15】



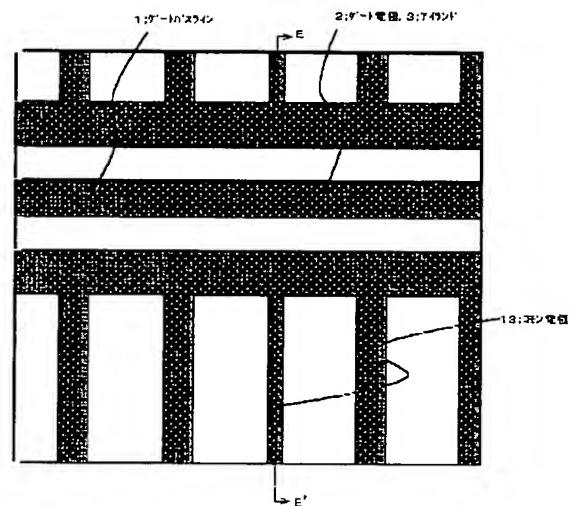
【図16】



【图 17】

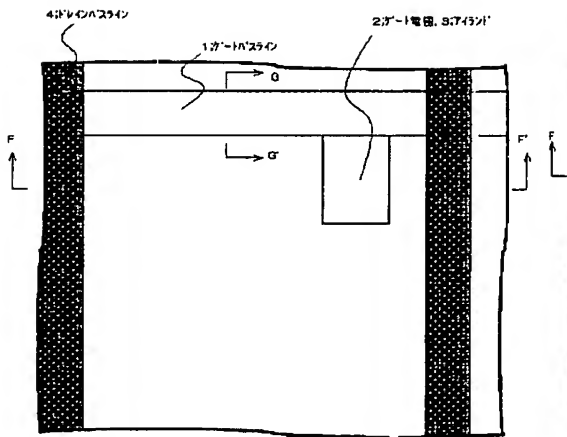


【图18】

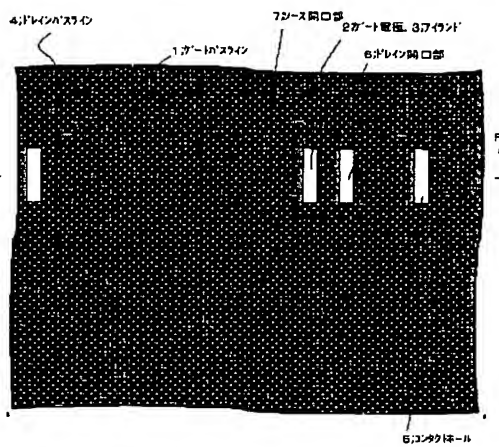




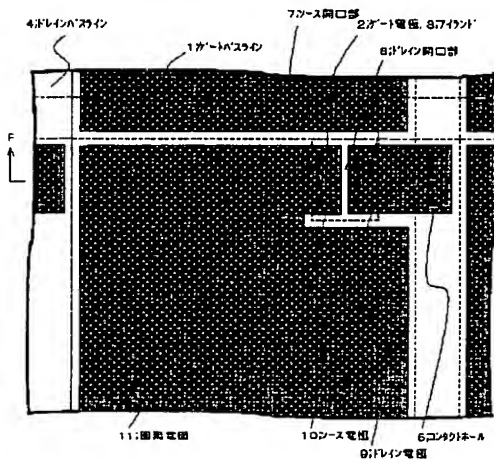
【図25】



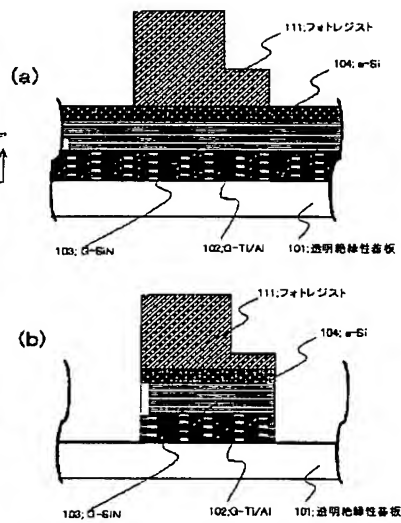
【図26】



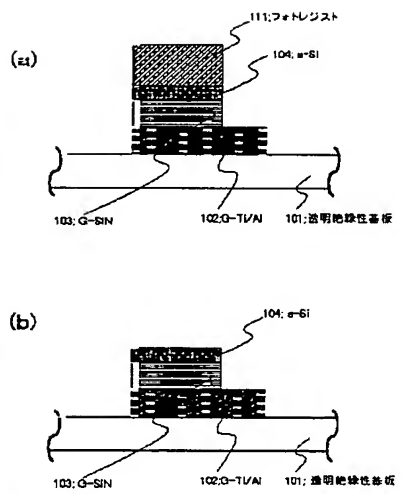
【図27】



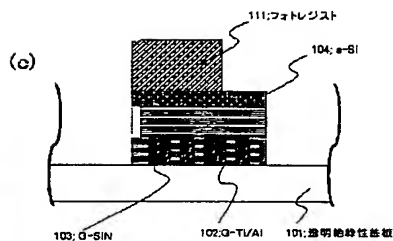
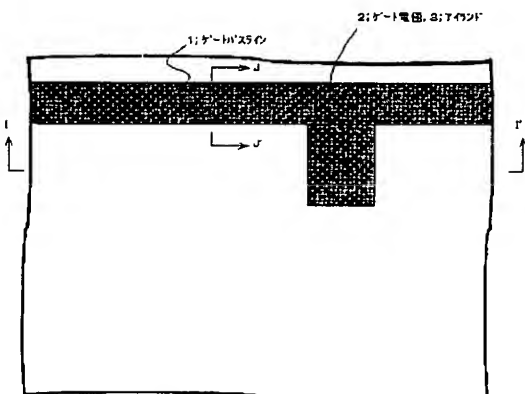
【図28】



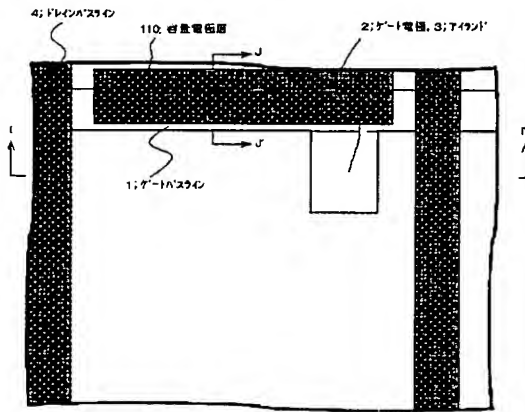
【図29】



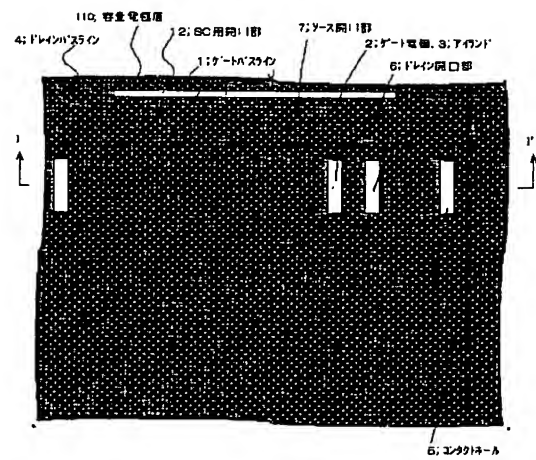
【図35】



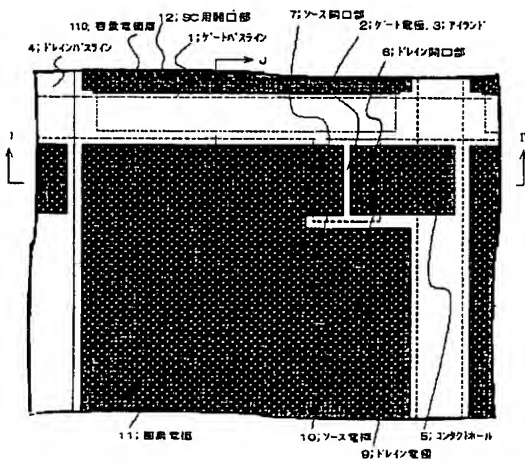
【図36】



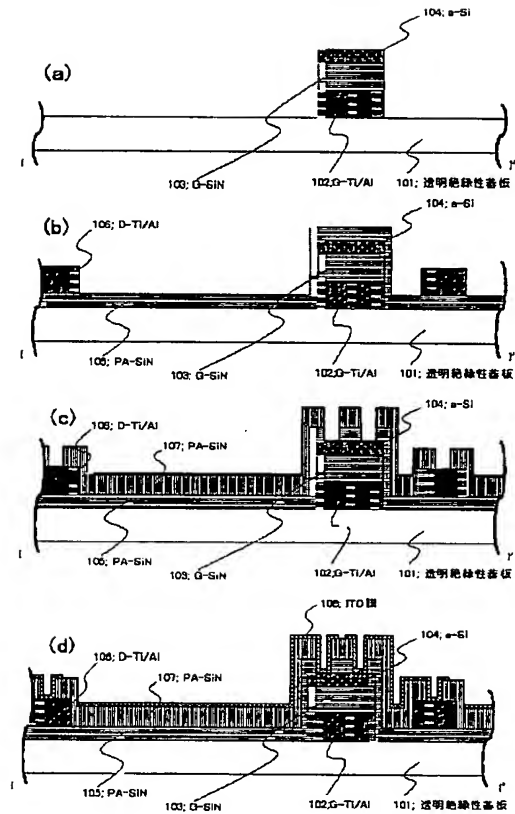
【図37】



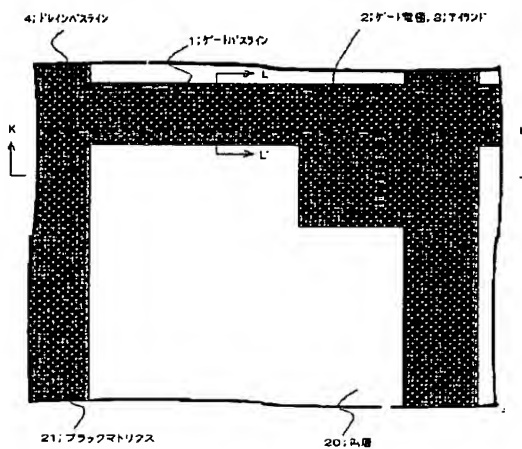
【図38】



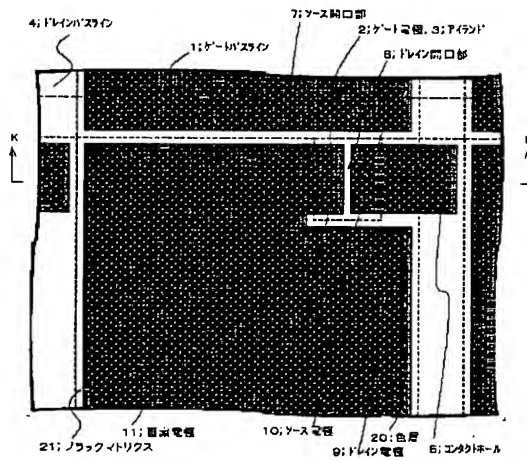
【図39】



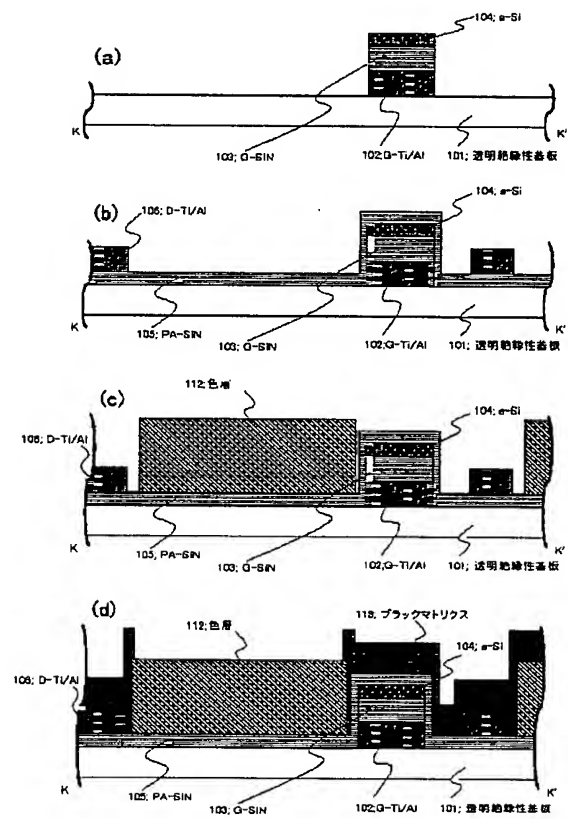
【図44】



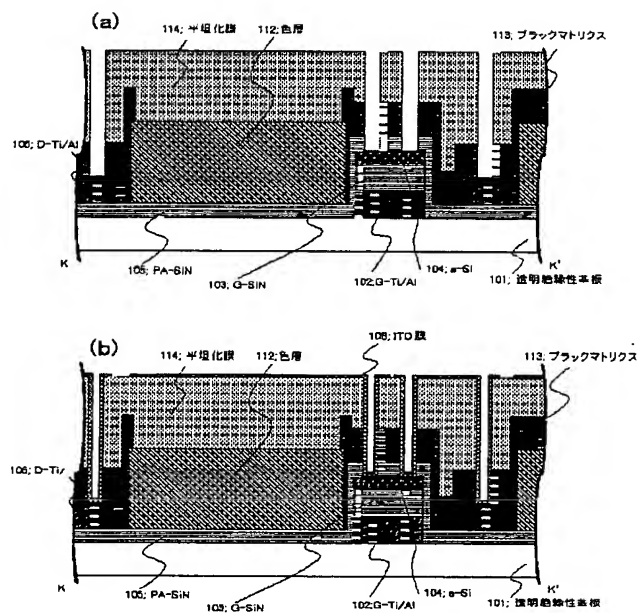
【図46】



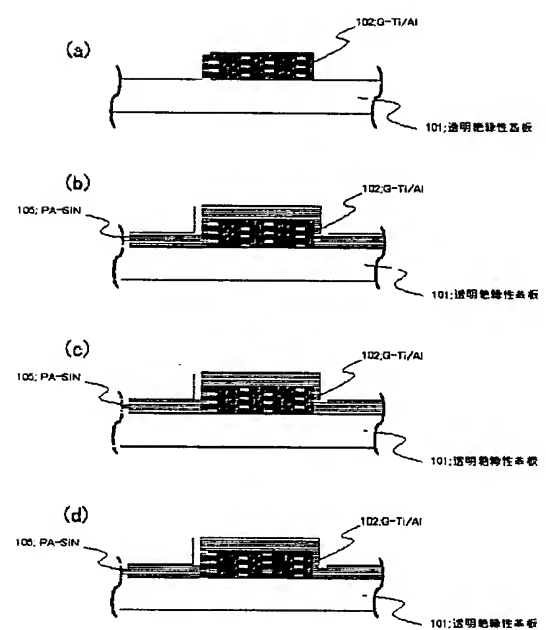
【図47】



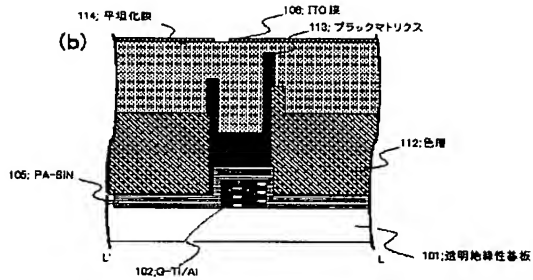
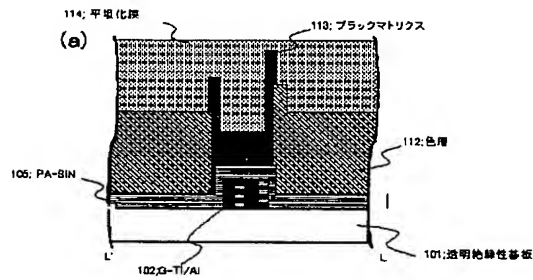
【図48】



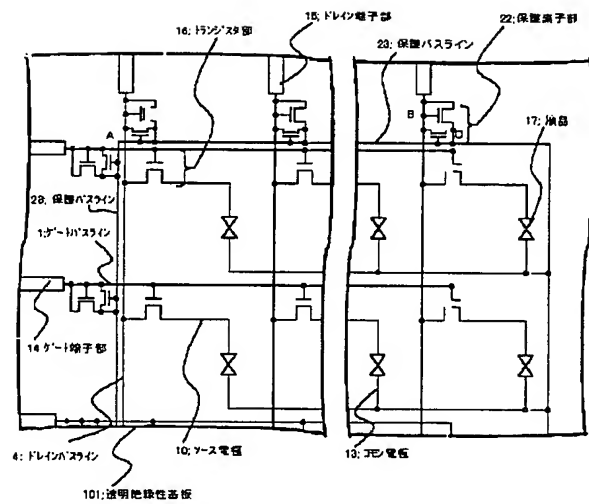
【図49】



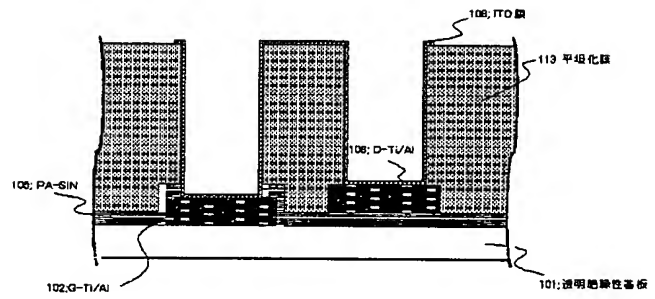
【図54】



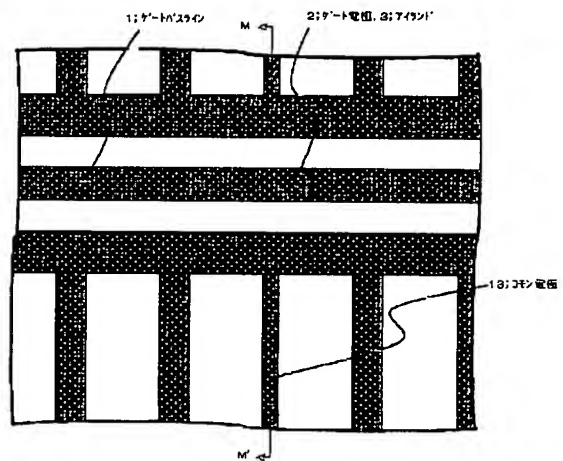
【図56】



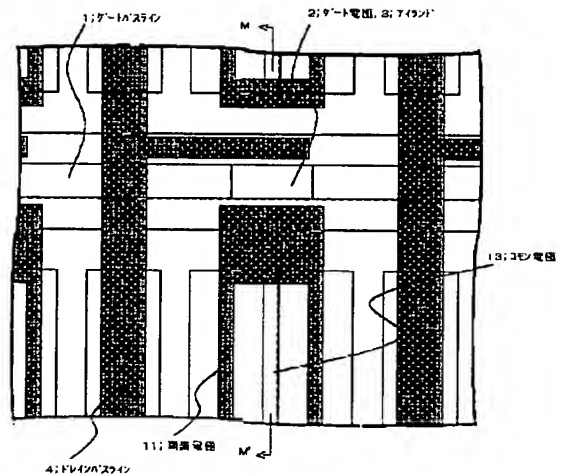
【図55】



【図57】



【図58】



(72)発明者 金子 若彦  
東京都港区芝五丁目7番1号 日本電気株  
式会社内

(72)発明者 坂本 道昭  
東京都港区芝五丁目7番1号 日本電気株  
式会社内

(72)発明者 井樋田 悟史  
東京都港区芝五丁目7番1号 日本電気株  
式会社内

(72)発明者 早瀬 貴介  
東京都港区芝五丁目7番1号 日本電気株  
式会社内

(72)発明者 吉川 妙  
東京都港区芝五丁目7番1号 日本電気株  
式会社内

(72)発明者 加納 博司  
東京都港区芝五丁目7番1号 日本電気株  
式会社内